

Cátedra Proyecto Final 2024

OBC & VSDR: On Board Computer and Versatile SDR for Space Applications

Abstract

*Juan Manuel Currás, Manuel Dieguez, Lucas Liaño, Felipe Nirino, Juan
Ignacio Schirripa*

Docente: Mg.Ing. Sebastián Verrastro
Ayudante: Mg.Ing. Pablo Sánchez
Ayudante: Mg.Ing. Mariano Vidal
Ayudante: Ing. Fernando Valenzuela

Palabras clave: space, satellite, OBC, SDR, wideband.

1. Desarrollo

Los CubeSats, satélites en miniatura estandarizados en unidades de 10 cm³, han revolucionado la exploración espacial y las aplicaciones comerciales en la última década. Actualmente, cientos de estos diminutos satélites orbitan la Tierra en la órbita baja (LEO, por sus siglas en inglés), un área que abarca hasta los 2000 km de altitud. Su proliferación ha sido impulsada por los avances en la miniaturización de la tecnología, los menores costos de lanzamiento (ya que generalmente se despliegan varios satélites) y la creciente demanda de datos satelitales.

Estos CubeSats están desempeñando roles críticos en diversas áreas, como la observación de la Tierra, las telecomunicaciones, la investigación científica y la demostración tecnológica. Además, son una herramienta esencial para universidades y centros de investigación, permitiendo experimentos a costos significativamente reducidos en comparación con los satélites tradicionales.

Sin embargo, el conocimiento de los componentes y materiales que pueden enfrentar las arduas condiciones del espacio no son de público conocimiento, sino todo lo contrario: este know-how es uno de los pilares fundamentales de la subsistencia de las empresas privadas que se dedican a este rubro. Dado que en el espacio cualquier fallo o error que deje inutilizado el satélite lo convierte instantáneamente de una carga sumamente útil a un oneroso trozo de basura espacial, poder contar con un diseño robusto y confiable que cuenta con experiencia de vuelo se torna en un secreto muy codiciado, y por el cual se paga un precio considerable (generalmente, los módulos de control y telecomando se encuentran por encima de los U\$S 5000).

La motivación detrás de este proyecto se encuentra justificada en brindarle a la comunidad científica el conocimiento necesario para poder realizar sus propios diseños, basados en la tecnología que se utiliza actualmente en módulos comerciales. Además, se aprovechará el desarrollo para incluir un módulo de telecomunicaciones reprogramable, que permitirá no solo realizar el telecomando de datos sino también experimentar con sistemas de radio definidos por software (SDR), logrando una versatilidad inigualable en cuanto a comunicaciones y permitiendo la validación de diferentes protocolos de comunicación no solo destinados a tierra sino también intersatelitales.

Otra de las razones es la continuación de avances de la investigación realizada bajo un PID (Proyecto de Investigación y Desarrollo) en el GIAR (Grupo de Inteligencia Artificial y Robótica), caratulado bajo el nombre de ‘Sistema de comunicaciones LoRa para Nanosatélite’. En el mismo, se ha elaborado un prototipo de carga útil que se espera sea lanzado en el transcurso del corriente año (2024), consistente en una FPGA de la familia iCE40 de Lattice en conjunto con un grupo de sensores de temperatura. La misma tiene como finalidad el determinar la duración (y viabilidad de uso) de estos componentes en las condiciones del espacio, y como un agregado intentar conseguir un perfil térmico de la placa de circuito impreso mediante el análisis de las lecturas de temperatura de los sensores (los cuales han sido posicionados para cumplir este propósito).

Se planea dividir las etapas de diseño del proyecto en dos partes:

- El subsistema de comunicaciones, basado en el AD9363 de Analog Devices en conjunto con amplificadores de RF y los circuitos auxiliares.
- El subsistema principal de cómputo, basado en un SoC de la serie Zynq 7000 (Zynq 7012) de Xilinx / AMD. Esta posee un procesador de propósito general Cortex A9 en conjunto con periféricos de alto rendimiento (Gigabit Transceivers, USB, PCI Express, etc.) y de propósito general (CAN, UART, SPI, etc.) además de una región de lógica programable.

El desarrollo del sistema de comunicaciones será el primero en ser llevado a cabo, ya que se cuenta con una placa de desarrollo ZedBoard™ de AvNet que incluye una FPGA Zynq además de un conector FMC (apropiado y validado para su uso en el espacio) con el que acoplar este módulo. Dicho esquema permite acelerar la etapa de pruebas y validaciones al mismo tiempo que permite paralelizar las tareas de diseño y ejecución de la segunda parte, el sistema principal. Además, se cuenta con un sistema de la misma familia de SoC a utilizar en el proyecto, lo que asegura la compatibilidad de las implementaciones (por supuesto, teniendo en cuenta las diferencias de prestaciones entre las mismas) y permite acortar los tiempos de adaptación desde la placa de evaluación al diseño propio.

El subsistema de cómputo se pondrá en marcha una vez validado el funcionamiento del módulo de comunicaciones, incorporando las elaboraciones efectuadas sobre la ZedBoard y realizando las modificaciones necesarias con el fin de obtener un módulo compacto capaz de integrarse en un satélite de tipo CubeSat, e integrándose finalmente con el sistema de comunicación.

En cuanto a los resultados esperables, se aspira a lograr una potencia de transmisión cercana a los 30 dBm (1 Watt), con una modulación QPSK a una tasa de transferencia de información de 19.2 kbps, buscando una SNR de al menos 35dB en la salida. Además, se pretende controlar el sistema (incluida la reprogramación del subsistema de radio) mediante la Zynq 7012, incorporándose una redundancia a partir de lo que se conoce como 'soft-core' (es decir, un microprocesador implementado en la sección de FPGA del SoC) para lograr una alta confiabilidad del sistema. Cumpliendo con el mismo concepto de redundancia, ambos sistemas deberán poseer la mínima cantidad de puntos únicos de falla posibles (no se pretenden eliminar por completo puesto que para ello habría que redundar ciertas piezas de hardware que por motivos de costo tornaría inviable el desarrollo), tanto en el hardware como en el software.

2. Tutores Externos

Tutor 1: Luciano Ferreyro