



Evaluación y Optimización de Arquitecturas de Aprendizaje Profundo en FPGA para Estimación de Parámetros Hemodinámicos

Proyecto Final 2026

Abstract

Estudiantes

Damian Lugano Leg: 175.699-0

Gonzalo Goumaz Leg: 175.742-8

Docentes

Mg. Ing. Sebastián Verrastro

Mg. Ing. Mariano Vidal

Tutores Externos

Dr. Ing. Leandro Cymberknop CIBIO

Dra. Ing. Eugenia Ipar CIBIO

1. Abstract

Las enfermedades cardiovasculares constituyen una de las principales causas de morbimortalidad a nivel global, por lo que la evaluación de la salud cardiovascular mediante técnicas de monitoreo no invasivas adquiere especial relevancia. En este contexto, parámetros hemodinámicos como el Gasto Cardíaco (CO), la Resistencia Vascular Sistémica (SVR) y la Complacencia Arterial (AC) permiten caracterizar el estado cardiovascular. El presente trabajo tiene como objetivo analizar la viabilidad de implementación en FPGA de redes neuronales convolucionales (CNN) capaces de inferir dichos parámetros a partir de señales fotopletimográficas (PPG). Para ello, se propone una metodología basada en el entrenamiento de las CNN a partir de una base de datos *in silico*, aumentada para aproximarse a señales reales, junto con la evaluación comparativa de distintas arquitecturas, considerando su desempeño predictivo, utilización de recursos de hardware, latencia y consumo energético. Las arquitecturas serán diseñadas y optimizadas mediante técnicas de cuantización y compresión estructural, permitiendo su adaptación a entornos con recursos limitados. Finalmente, se seleccionará la arquitectura más eficiente para su implementación mediante herramientas de síntesis de alto nivel, generando un diseño RTL. El sistema contemplará etapas de preprocesamiento de señal y manejo de flujo de datos, con el objetivo de validar la integración del modelo en la plataforma FPGA. Asimismo, se prevé la validación utilizando señales reales, a fin de analizar su capacidad de generalización más allá de los datos simulados. De esta manera, se busca establecer un diseño RTL de referencia que sirva de base para un futuro desarrollo de un Circuito Integrado de Aplicación Específica (ASIC).